



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0029149
Application Number

출원 년 월 일 : 2003년 05월 07일
Date of Application MAY 07, 2003

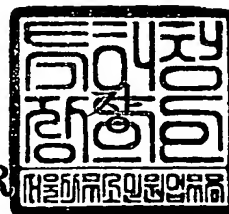
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.05.07
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	황성보
【성명의 영문표기】	HWANG, Sung Bo
【주민등록번호】	650907-1405910
【우편번호】	305-308
【주소】	대전광역시 유성구 장대동 신성월드컵훼미리 104-501
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 인 아주(대표변리사 정은섭) (인) 특허법
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 비휘발성 메모리 소자의 플로팅 게이트를 도트 형태로 형성시키면 도트 하나당 전자 3~4개를 조절하여 메모리 상태를 결정할 수 있어서 저전력 소자 제조가 가능하도록 하여 터널링 산화막의 국부적인 불량에 의한 누설이 그 부분에서의 도트에 국한되어 소자에 미치는 영향이 적어지게 하여 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공하는 것이다. 반도체 소자의 제조 방법은 소정의 하부구조가 형성된 실리콘 기판 상에 터널링 산화막 층을 형성하는 단계와, 터널링 산화막 층 상에 도트(dot)층을 형성하는 단계와, 도트층 상에 조절 산화막 층 및 조절 게이트 층을 순차적으로 형성하는 단계와, 조절 게이트 층, 조절 산화막 층, 도트 층 및 터널링 산화막 층을 소정 형상으로 패터닝하여 이중게이트를 형성하는 단계를 포함한다.

【대표도】

도 2e

【색인어】

이중게이트, 조절게이트, 터널링 산화막, 도트 플로팅게이트

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법 {METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 형성된 이중게이트를 설명하기 위한 단면도를 도시한다.

도 2a 내지 도 2e는 본 발명의 바람직한 실시예에 따른 이중게이트를 형성하는 방법을 설명하기 위한 단면도를 도시한다.

- 도면의 주요부분에 대한 부호의 설명 -

100 : 실리콘 기판 112 : 터널링 산화막

114 : 도트 플로팅 게이트 116 : 조절 산화막

118 : 조절 게이트

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는, 반도체 비휘발성 메모리소자를 제조하는 기술 중 이중게이트를 형성함에 있어서 플로팅게이트를 도트형태로 형성시키는 반도체 소자의 제조방법에 관한 것이다.

- <8> 일반적으로, 롬(ROM; read only memory), 이피롬(EPROM; erasable programmable read only memory) 등과 같은 비휘발성 금속 산화물 반도체(MOS; metal oxide semiconductor)기억 장치에 데이터를 소거하거나 삭제하기 위해 전하를 축적하는 용도로 플로팅 게이트가 이용되고 있다. 이러한 종래의 플로팅 게이트 구조 중의 하나를 도 1에 도시한다.
- <9> 도 1은 종래 기술에 따른 플로팅 게이트의 구조를 갖는 반도체 소자를 설명하기 위한 단면도이다.
- <10> 먼저, 실리콘 기판(10) 상에 터널링 산화막층, 플로팅 게이트 산화막층, 조절 산화막층 및 조절 게이트 산화막층을 순차적으로 형성한다. 이어서, 조절 게이트 산화막층, 조절 산화막층, 플로팅 게이트 산화막층 및 터널 산화막층을 순차적으로 포토 공정을 이용하여 소정의 형상으로 패터닝함으로써, 터널링 산화막(12), 플로팅 게이트(14), 조절 산화막(16) 및 조절 게이트(18)를 갖는 플로팅 게이트 구조를 얻게 된다.
- <11> 도 1에 도시한 플로팅 게이트 구조의 형태로 박막을 형성하여 플로팅 게이트에 전자를 모아놓기 위해서는 높은 전력이 요구된다. 또한 이러한 구조에서는 터널링 산화막의 한곳이라도 불량 발생하면 플로팅 게이트에 저장되었던 전자가 모두 빠져나가 소자의 신뢰성(reliability)이 떨어지게 된다.

【발명이 이루고자 하는 기술적 과제】

- <12> 본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 주목적은 비휘발성 메모리 소자의 플로팅 게이트를 도트 형태로 형성시키면 도트 하나 당 전자 3~4개를 조절하여 메모리 상태를 결정할 수 있어서 저전력 소자 제조가 가능하도록 하여 터널링 산화막

의 국부적인 불량에 의한 누설이 그 부분에서의 도트에 국한되어 소자에 미치는 영향이 적어지게 하여 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <13> 상기와 같은 목적을 실현하기 위한 본 발명은 소정의 하부구조가 형성된 실리콘 기판 상에 터널링 산화막 층을 형성하는 단계와, 상기 터널링 산화막 층 상에 도트(dot)층을 형성하는 단계와, 상기 도트층 상에 조절 산화막 층 및 조절 게이트 층을 순차적으로 형성하는 단계와, 상기 조절 게이트 층, 상기 조절 산화막 층, 상기 도트 층 및 상기 터널링 산화막 층을 소정 형상으로 패터닝하여 이중게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법을 제공한다.
- <14> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.
- <15> 도 2a 내지 도 2e는 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면도들이다.
- <16> 먼저, 도 2a에 도시된 바와 같이, 소정의 하부구조가 형성된 실리콘 기판(100) 상에 거칠기가 심한 터널링 산화막층(102)을 형성한다. 본 발명의 바람직한 실시예에 따르면, 터널링 산화막층(102)은 실리콘 기판(100)을 산소를 이용하여 확산시켜서 형성되는 SiO_2 또는 고유전 상수를 갖는 물질을 증착하여 형성한다.
- <17> 그리고 나서, 도 2b에 도시된 바와 같이, 터널링 산화막 층(102) 상에 실리콘 또는 실리콘-게르마늄으로 이루어진 도트를 대략 60 nm 이하의 크기로 제곱 센티미터 당 $10^{11} \sim 10^{12}$ 개

정도의 밀도로 화학 기상 증착(chemical mechanical deposition; CVD) 방법을 이용하여 형성함으로써 도트 플로팅 게이트 층(104)을 형성한다. 실리콘-게르마늄으로 도트층을 형성하는 경우, 게르마늄의 농도를 약 10~20 %로 하는 것이 바람직하다.

<18> 본 발명의 바람직한 실시예에 따르면, 플로팅 게이트용 박막은 높은 유전 상수를 갖는 Ta_2O_5 , HfO_2 , ZrO_2 등을 터널링 산화막 층(102)으로 형성할 수 있다. 그리고, 플로팅 게이트 산화막을 형성하기 전에 Ta, Hf 및 Zr 등으로 이루어진 메탈층을 증착할 수 있다. 또한, 도트 플로팅 게이트 층(104)은 급속 열처리(rapid thermal) CVD 방법을 이용하여 형성될 수도 있다.

<19> 다음 단계로, 도 2c 및 도 2d에 도시된 바와 같이, 도트 플로팅 게이트 층(104) 상에 조절 산화막 층(106) 및 조절 게이트 층(108)을 순차적으로 형성시킨다. 본 발명의 바람직한 실시예에 따르면, 조절 게이트 층(108)은 인시츄(in-situ) 도우핑된 실리콘-게르마늄 박막으로 형성된다. 또한, 조절 게이트 층(108)은 실리콘 또는 실리콘-게르마늄으로 형성할 수 있다.

<20> 이어서, 도 2e에 도시된 바와 같이, 실리콘 기판(100) 상에 형성된 터널링 산화막 층(102), 도트 플로팅 게이트 층(104), 조절 산화막 층(106) 및 조절 게이트 층(108)을 리소그래피와 같은 식각 공정을 통하여 순차적으로 패터닝함으로써, 플로팅 게이트(102), 도트 플로팅 게이트(114), 조절 산화막(116) 및 조절 게이트(118)를 구비하는 이중 게이트를 형성하게 된다.

<21> 또한, 본 발명의 바람직한 다른 실시예에 따르면, 실리콘 기판에 산소를 확산시켜 형성하는 방법 대신에, 실리콘 산화막을 CVD 방법으로 증착하거나 높은 유전상수를 갖는 Ta_2O_5 , HfO_2 , ZrO_2 등의 산화막을 CVD 방법으로 증착한 후, 실리콘 또는 실리콘-게르마늄 화합물을

CVD 방법으로 형성한 후, 조절 산화막으로 실리콘 산화막 대신 높은 유전 상수를 갖는 Ta_2O_5 , HfO_2 , ZrO_2 등의 산화막으로 형성할 수 있다.

<22> 본 발명을 본 명세서 내에서 몇몇 바람직한 실시예에 따라 기술하였으나, 당업자라면 첨부한 특허 청구 범위에서 개시된 본 발명의 진정한 범주 및 사상으로부터 벗어나지 않고 많은 변형 및 향상이 이루어질 수 있다는 것을 알 수 있을 것이다.

【발명의 효과】

<23> 상기한 바와 같이, 본 발명은 도트 형태로 플로팅 게이트를 형성하여 옆으로의 누설 가능성을 배제함으로써 터널링 산화막의 불량한 한 곳 때문에 소자의 특성이 저하되지 않아 소자의 신뢰성이 향상되는 효과가 있다.

<24> 또한, 본 발명은 도트 당 전자 3~4개로 메모리 상태의 변화가 가능하여 저전력 소자 특성을 구현할 수 있는 장점을 갖는다.

【특허청구범위】**【청구항 1】**

소정의 하부구조가 형성된 실리콘 기판 상에 터널링 산화막 층을 형성하는 단계와,
상기 터널링 산화막 층 상에 도트(dot)층을 형성하는 단계와,
상기 도트층 상에 조절 산화막 층 및 조절 게이트 층을 순차적으로 형성하는 단계와,
상기 조절 게이트 층, 상기 조절 산화막 층, 상기 도트 층 및 상기 터널링 산화막 층을
소정 형상으로 패터닝하여 이중게이트를 형성하는 단계를
포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 2】

제 1항에 있어서,

상기 도트층은 실리콘으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 3】

제 1항에 있어서,

상기 도트층은 실리콘-게르마늄으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조
방법.

【청구항 4】

제 1항에 있어서,

상기 도트층은 대략 60 nm 이하의 크기로 대략 제곱센티미터당 $10^{11} \sim 10^{12}$ 개 정도의 밀도로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1항에 있어서,

상기 이중게이트의 플로팅 게이트를 도트층으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 1항에 있어서,

상기 터널링 산화막이 높은 유전 상수를 갖는 Ta_2O_5 , HfO_2 , ZrO_2 등의 산화막으로 형성될 수 있는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 1항에 있어서,

상기 도트층이 급속 열처리 화학 기상 증착(chemical mechanical deposition; CVD) 방법을 이용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 1항에 있어서,



상기 조절 게이트 층이 인시츄(in-situ) 도우핑된 실리콘-게르마늄 박막으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

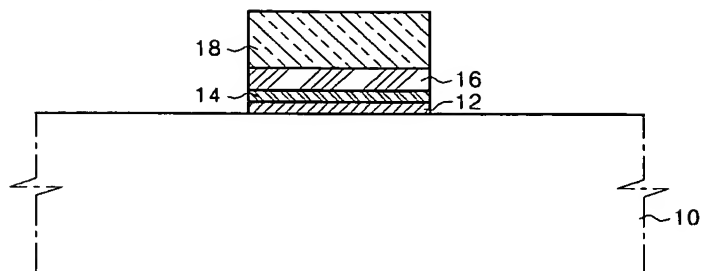
【청구항 9】

제 3 항에 있어서,

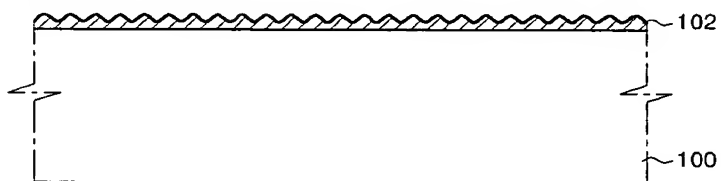
상기 실리콘-게르마늄 도트층을 형성하는 단계에서, 게르마늄의 농도를 약 10~20 %로 하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

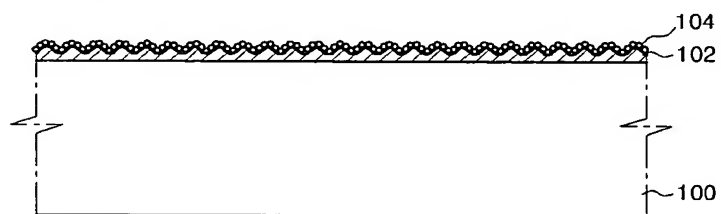
【도 1】



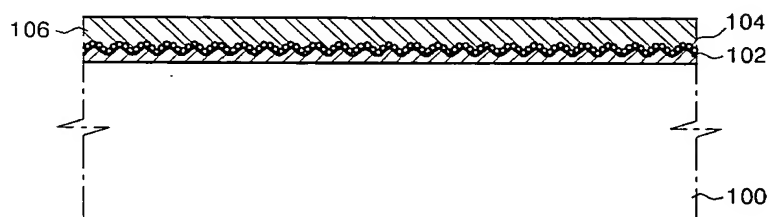
【도 2a】



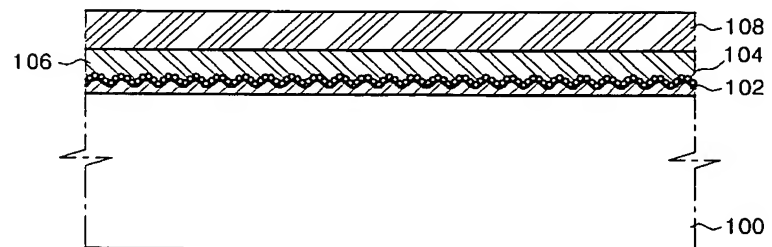
【도 2b】



【도 2c】



【도 2d】



【도 2e】

